

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

10518 U.S. PTO
09/404313



Amagai et al
Filed 9/24/99
Q 55935
10f1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1998年 9月29日

出 願 番 号

Application Number:

平成10年特許願第276161号

出 願 人

Applicant (s):

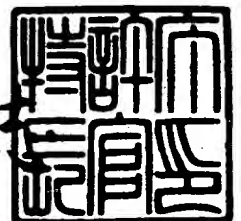
日本電気株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年 4月 2日

特許庁長官
Commissioner,
Patent Office

伴佐山 建



出証番号 出証特平11-3019

【書類名】 特許願

【整理番号】 49210332

【提出日】 平成10年 9月29日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 12/28

【発明の名称】 パケット処理装置とパケット処理方法とパケット交換機

【請求項の数】 13

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 天谷 達彦

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 山下 幹治

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 荒水 辰夫

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

 【代表者】 金子 尚志

【代理人】

 【識別番号】 100065385

 【弁理士】

 【氏名又は名称】 山下 穰平

 【電話番号】 03-3431-1831

【手数料の表示】

 【予納台帳番号】 010700

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001713

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 パケット処理装置とパケット処理方法とパケット交換機

【特許請求の範囲】

【請求項1】 複数のレイヤを構成してパケットデータを交換するパケット処理装置において、前記パケット全体を格納するパケットメモリと、下位レイヤ処理部と上位レイヤ処理部の双方が同一メモリ空間にアクセス可能で、前記双方の処理に用いる前記パケットデータ中の各パケットの一部を格納する物理的に異なるメモリバスを介して独立にアクセス可能な共用メモリとを有することを特徴とするパケット処理装置。

【請求項2】 複数のレイヤを構成してパケットデータを交換するパケット処理装置において、前記パケット全体を格納するパケットメモリと、データリンク層のレイヤ2処理部とネットワーク層のレイヤ3処理部の双方が同一メモリ空間にアクセス可能で、前記双方の処理に用いる前記パケットデータ中の各パケットの一部を格納するマルチポートの共用メモリとを有することを特徴とするパケット処理装置。

【請求項3】 請求項1又は2に記載のパケット処理装置において、前記パケット全体を格納するパケットメモリと共に、前記レイヤ3以上の上位レイヤとの前記共用メモリへ前記上位レイヤ処理に必要なフィールドのみを格納可能な前記レイヤ2受信処理部を有することを特徴とするパケット処理装置。

【請求項4】 請求項1に記載のパケット処理装置において、2つ以上の異なる前記パケットメモリと前記共用メモリ上のデータを組み合わせて前記パケットを構成し、前記パケットの送信が可能なレイヤ2送信処理部を有することを特徴とするパケット処理装置。

【請求項5】 複数のレイヤを構成してパケットデータを交換するパケット処理方法において、前記パケット全体をパケットメモリに格納し、前記複数のレイヤ中下位レイヤ処理部と上位レイヤ処理部の双方が共用するマルチポートの共用メモリの同一メモリ空間にアクセス可能で、前記双方の処理に用いる前記パケットデータ中の各パケットの一部を前記共用メモリに格納することを特徴とするパケット処理方法。

【請求項 6】 複数のレイヤを構成してパケットデータを交換するパケット処理方法において、前記パケット全体をパケットメモリに格納し、データリンク層のレイヤ 2 処理部とネットワーク層のレイヤ 3 処理部の双方が共用するマルチポートの共用メモリの同一メモリ空間にアクセス可能で、前記双方の処理に用いる前記パケットデータ中の各パケットの一部を格納することを特徴とするパケット処理方法。

【請求項 7】 請求項 6 に記載のパケット処理方法において、前記共用メモリにアクセスする際に、前記レイヤ 2 処理部と前記レイヤ 3 処理部が干渉しないパイプライン処理方式を採用することを特徴とするパケット処理方法。

【請求項 8】 複数のレイヤを構成してパケットデータを処理交換するパケット交換機において、前記パケットデータの全体を格納するパケットメモリと、前記複数のレイヤ中上位レイヤ処理部と下位レイヤ処理部の双方が同一メモリ空間にアクセス可能で、前記双方の処理に用いる前記パケットデータ中の各パケットの一部を格納するマルチポートの共用メモリとを有することを特徴とするパケット交換機。

【請求項 9】 複数のレイヤを構成してパケットデータを処理交換するパケット交換機において、前記パケットデータの全体を格納するパケットメモリと、前記複数のレイヤ中データリンク層のレイヤ 2 処理部とネットワーク層のレイヤ 3 処理部の双方が同一メモリ空間にアクセス可能で、前記双方の処理に用いる前記パケットデータ中の各パケットの一部を格納するマルチポートの共用メモリを有することを特徴とするパケット交換機。

【請求項 10】 請求項 9 に記載のパケット交換機において、更に前記レイヤ 2 処理部と前記レイヤ 3 処理部とに連通するとともに前記レイヤ 3 を越える上位レイヤの処理をも実行するプロセッサを備えたことを特徴とするパケット交換機。

【請求項 11】 複数のレイヤを構成してパケットデータを処理交換するパケット交換機において、

受信パケットを受信して当該受信パケットをパケットメモリに格納し、前記受信パケットのヘッダ部を共用メモリに格納するレイヤ 2 受信処理部と、前記ヘッ

ダ部を受領してネットワーク処理を実行し、前記共用メモリに必要な応じて更新したヘッダ部を同一アドレス部に格納するレイヤ3処理部と、前記レイヤ3処理部から通知された前記共用メモリ内の前記更新したヘッダ部と前記パケットメモリ内のパケット情報とを組み合わせる送信パケットとするレイヤ2送信処理部とを備えたことを特徴とするパケット交換機。

【請求項12】 請求項11に記載のパケット交換機において、前記レイヤ2送信処理部は、前記レイヤ3処理部が更新した共用メモリ上のデータと、前記レイヤ2受信処理部が前記パケットメモリにストアしたパケットデータを組み合わせる送信し、且つレイヤ1への転送の際のパケットフォーマット変換を実行し、前記レイヤ3をIP（インターネットプロトコル）とした場合、IPv4（バージョン4）パケットとIPv6（バージョン6）パケットの相互変換（ヘッダ変換）を処理することを特徴とするパケット交換機。

【請求項13】 請求項11に記載のパケット交換機において、前記レイヤ2送信処理部は、前記レイヤ3処理部が更新した共用メモリ上のデータと、前記レイヤ2受信処理部が前記パケットメモリにストアしたパケットデータとを組み合わせる送信し、前記レイヤ3をIP（インターネットプロトコル）とした場合、IPv4パケットのIPv6のトンネリング（IPv4パケットへのIPv6ヘッダの追加や削除）又は、前記IPv6パケットの前記IPv4のトンネリング（前記IPv6パケットへの前記IPv4ヘッダの追加や削除）又は、前記IPv4パケットの前記IPv4のトンネリング（前記IPv4パケットへの前記IPv4ヘッダの追加や削除）を処理することを特徴とするパケット交換機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、パケット処理に関し、レイヤ2やレイヤ3等を扱うパケット処理方法及びパケット処理装置とそれを含むパケット交換機に関する。

【0002】

【従来の技術】

通信ネットワークは、有線及び無線共に、各種の通信形態を選択でき、各種の

通信形態の各々を用いて、電話、データ通信、ファクシミリ、画像通信などの様々なサービスを提供できるようになっている。また近年、同一のインターフェースに同時に複数の端末を収容したり、インターフェースを共有化して多数のサービスを提供するという目的で、ITU (International Telecommunication Union: 国際電気通信連合) や ISO (International Organization for Standardization: 国際標準化機構) という国際機関が中心となって標準化が進められて、OSI (Open System Interconnection: 開放型システム間相互接続) 参照モデルが推奨されている。

【0003】

このOSI参照モデルには、1つの通信において複数存在するプロトコルをレイヤというカテゴリーで、7レイヤからなり、レイヤ1の物理層では物理回線を設定、維持、解除するための電氣的・機械的条件および手順を管理し、ビット列の伝送を保証し、レイヤ2のデータリンク層では通信回線で結ばれたノード間にデータリンクを設定し、伝送路上に発生するビット誤りを訂正し、レイヤ3のネットワーク層では通信網を介してルーティングを行い、相手システムと結びコネクションを提供し、レイヤ4のトランスポート層では上位層に対して通信網の品質に依存しないサービスを提供するためエンドツーエンドのトランスポートコネクションを設定し、トランスペアレントなデータ転送を行い、レイヤ5のセッション層では通信し合うアプリケーションプロセス間にセッションというコネクションを張り、全二重や半二重という通信モードの管理、及びプロセス間の通信に必要な同期、再同期を管理し、レイヤ6のプレゼンテーション層ではプロセス間で採受されるデータ構造の管理等のデータの形式制御を行い、最上位のレイヤ7のアプリケーション層では業務目的に応じたユーザ用並びに管理用のアプリケーションプロトコルが実行される。現在では、様々なプロトコルがこの各レイヤに基づいて構成され、交換機同士、交換機と端末同士、コンピュータ同士の通信も、この7レイヤに沿って実現されている。

【0004】

ここで、例えばコンピュータ同士が通信することをシステム間通信といい、コンピュータ上で稼動するプロセス同士が通信することをプロセス通信といい、レ

イヤ1からレイヤ3までがシステム間通信のプロトコルとなっている。ここで、具体的に説明すれば、レイヤ1はデータや音声、画像の各メディアを電気信号に変換して実際の伝送を行い、レイヤ2は端末、交換機、ノード等間で信頼性の高い伝送を保証し、確実に実行するデータリンク層であり、レイヤ3は複数のネットワークにまたがって各端末、交換機、ノード等間のメディア転送やメディアの中継機能を実現するネットワーク層をいう。

【0005】

例えば、デジタル式の交換機においては、回線交換方式とパケット交換方式とがあり、加入者端末が接続されている加入者線に対して中継・交換する加入者線交換機と、この加入者線交換機に対して伝送路を介して中継・交換する中継交換機との種類があり、レイヤ4～レイヤ7の高機能レイヤは単に中継・交換するためには特に有する必要がなく、いずれの交換機においても、物理層のレイヤ1とレイヤ2とレイヤ3との伝達レイヤ構造を有し、コンピュータのプログラムで蓄積プログラム制御として制御する場合、コンピュータが回線中空いている回線を検索してスイッチ交換の部分に高速に動作する半導体LSI等のメモリを用いて、タイミングを見て転送データを更新しつつデータメモリから読み出して必要な回線にデータ信号を送る役割を持っている。

【0006】

ここで、あるパケット交換機において、レイヤ2処理部とレイヤ3処理部の間での受信／送信パケットの受け渡しについて説明する。従来、レイヤ2処理部とレイヤ3処理部の間での受信／送信パケットの受け渡しは、

(A) レイヤ2処理ハードウェア配下のパケットメモリに格納したパケットに対してメモリバスを介してレイヤ3処理部がリード／ライトアクセスを行うか、もしくは、

(B) DMA (Direct Memory Access) 回路を内蔵したレイヤ2処理部が格納したある制御バス上に構成されたパケットメモリに対し、メモリバスを介してレイヤ3処理部が送受信パケットのリード／ライトアクセスを行う、かのいずれかの方式にて行っていた。

【0007】

このパケット交換機の伝達レイヤ機能について、特開平7-143133号公報に開示されている。本公報によれば、従来のレイヤ構造に基づいたシステムにおいて、レイヤ1（ATM）、レイヤ2、レイヤ3の3層のプロトコル処理を行う際、システム全体で要するメモリ量を削減し、システム全体での処理能力を軽減する目的で、レイヤ1プロトコル処理装置と回線との間で入出力され、ユーザデータ及び各レイヤのプロトコル処理に用いられるヘッダ情報等のデータを格納する共用メモリと、を有し、各レイヤプロトコル処理装置のそれぞれは、前記共用メモリにアクセス可能に構成され、レイヤ1～レイヤ2間で行われるフレーム転送や、レイヤ2～レイヤ3間で行われるパケット転送においては共用メモリに格納されたデータを直接転送することなく、格納された共用メモリ上の先頭及び末尾アドレス値により、間接的にデータの転送を行うことを特徴としている。即ち、上記伝達レイヤ各々は、バス構成とされて、共通メモリにアクセスでき、必要なときにバスを介して、メモリから読み出すことができるので、大幅なメモリ削減と、処理能力の向上を実現している。

【0008】

【発明が解決しようとする課題】

しかしながら、上記（A）及び（B）のいずれの方式においても、レイヤ2の処理部と、レイヤ3の処理部から同一のメモリバスに対しアクセスを行うため、互いの処理が干渉することが避けられず、たとえバス競合調停制御部を有したとしても、処理能力を低下させる要因となってしまう。とくにレイヤ2がATMであった場合、複雑なセルの分解・組立処理等があるため、レイヤ3とのメモリアクセス競合による処理遅延はより深刻となる。

【0009】

また、上記（B）の方式において、バス競合調停制御部を具備しない代わりに、レイヤ2処理で伝送されてきたフレームやパケットをそっくり格納するための大きな容量のパケットメモリが必要となり、高価なデュアルポートメモリとした場合、製品コストを増大させる結果となる。

【0010】

また、レイヤ3の処理に必要な部分は、ほとんどのケースにおいてパケットへ

ッダ情報処理のみであるため、特にパケット転送処理を考慮にいたした場合、ユーザデータはレイヤ2処理部配下のメモリにストアし、ヘッダ情報のみをレイヤ3処理部に渡す方式が好都合である。このときレイヤ3処理部がレイヤ2処理部と同一バスに接続された場合、メモリアクセスによって互いの処理が競合・干渉してしまうことにより処理能力が低下してしまうことになる。

【0011】

以上から、本発明は、パケット処理装置において、省メモリ化を行うと同時に、異レイヤ処理間で共用メモリへのアクセスの競合のない円滑なパイプライン処理を実現することを課題とする。またさらに、高速なパケット転送をおこないつつ、様々なパケットフォーマット変換を可能とすることを課題とする。

【0012】

【課題を解決するための手段】

本発明では、レイヤ2とレイヤ3の間に、パケット格納用メモリ（パケットメモリ）とは別に、共用メモリとしてのデュアルポートメモリを配備することで、レイヤ2とレイヤ3のメモリアクセスの競合、調停回路を皆無とした。また、レイヤ2受信処理部はレイヤ3処理に必要な情報のみを共用メモリに複写し、受信パケットデータ自体は配下に位置するパケットメモリにストアするため、共用メモリは高速・小容量のものとできる。

【0013】

また、本発明は、複数のレイヤを構成してパケットデータを交換するパケット処理装置において、前記パケット全体を格納するパケットメモリと、下位レイヤ処理部と上位レイヤ処理部の双方が同一メモリ空間にアクセス可能で、前記双方の処理に用いる前記パケットデータ中の各パケットの一部を格納するマルチポートの共用メモリとを有することを特徴とする。

【0014】

また、本発明は、複数のレイヤを構成してパケットデータを交換するパケット処理装置において、前記パケット全体を格納するパケットメモリと、データリンク層のレイヤ2処理部とネットワーク層のレイヤ3処理部の双方が同一メモリ空間にアクセス可能で、前記双方の処理に用いる前記パケットデータ中の各パケッ

トの一部を格納するマルチポートの共用メモリとを有することを特徴とする。

【0015】

また、上記パケット処理装置において、前記パケット全体を格納するパケットメモリと共に、前記レイヤ3以上の上位レイヤとの前記共用メモリへ前記上位レイヤ処理に必要なフィールドのみを格納可能な前記レイヤ2受信処理部を有することを特徴とする。

【0016】

また、上記パケット処理装置において、2つ以上の異なる前記パケットメモリと前記共用メモリ上のデータを組み合わせて前記パケットを構成し、前記パケットの送信が可能なレイヤ2送信処理部を有することを特徴とする。

【0017】

また、本発明は、複数のレイヤを構成してパケットデータを交換するパケット処理方法において、前記パケット全体をパケットメモリに格納し、前記複数のレイヤ中下位レイヤ処理部と上位レイヤ処理部の双方が共用するマルチポートの共用メモリの同一メモリ空間にアクセス可能で、前記双方の処理に用いる前記パケットデータ中の各パケットの一部を前記共用メモリに格納することを特徴とする。

【0018】

また、本発明は、複数のレイヤを構成してパケットデータを交換するパケット処理方法において、前記パケット全体をパケットメモリに格納し、複数のレイヤ中データリンク層のレイヤ2処理部とネットワーク層のレイヤ3処理部の双方が共用するマルチポートの共用メモリの同一メモリ空間にアクセス可能で、前記双方の処理に用いる前記パケットデータ中の各パケットの一部を格納することを特徴とする。

【0019】

また、本発明は、複数のレイヤを構成してパケットデータを処理交換するパケット交換機において、前記パケットデータの全体を格納するパケットメモリと、前記複数のレイヤ中上位レイヤ処理部と下位レイヤ処理部の双方が同一メモリ空間にアクセス可能で、前記双方の処理に用いる前記パケットデータ中の各パケッ

トの一部を格納するマルチポートの共用メモリとを有することを特徴とする。

【0020】

また、本発明は、複数のレイヤを構成してパケットデータを処理交換するパケット交換機において、前記パケットデータの全体を格納するパケットメモリと、前記複数のレイヤ中データリンク層のレイヤ2処理部とネットワーク層のレイヤ3処理部の双方が同一メモリ空間にアクセス可能で、前記双方の処理に用いる前記パケットデータ中の各パケットの一部を格納するマルチポートの共用メモリを有することを特徴とする。

【0021】

また、本発明は、複数のレイヤを構成してパケットデータを処理交換するパケット交換機において、受信パケットを受信して当該受信パケットをパケットメモリに格納し、前記受信パケットのヘッダ部を共用メモリに格納するレイヤ2受信処理部と、前記ヘッダ部を受領してネットワーク処理を実行し、前記共用メモリに必要に応じて更新したヘッダ部を同一アドレス部に格納するレイヤ3処理部と、前記レイヤ3処理部から通知された前記共用メモリ内の前記更新したヘッダ部と前記パケットメモリ内のパケット情報とを組み合わせる送信パケットとするレイヤ2送信処理部とを備えたことを特徴とする。

【0022】

また、上記パケット交換機において、前記レイヤ2送信処理部は、前記レイヤ3処理部が更新した共用メモリ上のデータと、前記レイヤ2受信処理部が前記パケットメモリにストアしたパケットデータを組み合わせる送信し、且つレイヤ1への転送の際のパケットフォーマット変換を実行し、前記レイヤ3をIP（インターネットプロトコル）とした場合、IPv4（バージョン4）パケットとIPv6（バージョン6）パケットの相互変換（ヘッダ変換）を処理することを特徴とする。また、上記パケット交換機において、前記レイヤ2送信処理部は、前記レイヤ3処理部が更新した共用メモリ上のデータと、前記レイヤ2受信処理部が前記パケットメモリにストアしたパケットデータとを組み合わせる送信し、前記レイヤ3をIP（インターネットプロトコル）とした場合、IPv4パケットのIPv6のトンネリング（IPv4パケットへのIPv6ヘッダの追加や削除）

又は、前記IPv6パケットの前記IPv4のトンネリング（前記IPv6パケットへの前記IPv4ヘッダの追加や削除）又は、前記IPv4パケットの前記IPv4のトンネリング（前記IPv4パケットへの前記IPv4ヘッダの追加や削除）を処理することを特徴とする。

【0023】

上記本発明において、レイヤ2送信処理部は、レイヤ3処理部が更新した共用メモリ上のデータと、レイヤ2の受信処理部が、配下のパケットメモリにストアしたパケットデータを自由に組み合わせて送信できるため、転送の際のパケットフォーマット変換（パケットヘッダの更新・変換・削除・追加）が自在となる。

【0024】

また、上記本発明において、パケットフォーマット変換が必要な例として、特にレイヤ3をIPとした場合、IPv4パケットとIPv6パケットの相互変換（ヘッダ変換）、IPv4パケットのIPv6トンネリング（IPv4パケットへのIPv6ヘッダの追加や削除）等が容易に処理できることになる。

【0025】

【発明の実施の形態】

本発明による実施形態について、図面を参照しつつ詳細に説明する。

【0026】

〔第1の実施形態〕

（本実施形態の構成）

図1に本実施形態に用いるパケット交換機11について説明する。複数の伝送路A12からのパケットデータは、本パケット交換機11によりルーティング処理、シグナリング処理等のネットワーク処理を施されて、伝送路B13へ送出される。レイヤ1処理10では物理層の伝送路を選択して正確に伝送する処理を行い、レイヤ2受信処理部4では伝送されてきた受信パケットをパケットメモリ2に格納すると共に、受信パケット中の必要なヘッダ部を共用メモリ3に格納して、処理をレイヤ3処理部5に移行し、レイヤ3処理部5でレイヤ3の処理を施し、更新されるヘッダ部があれば、そのデータを共用メモリ3に更新格納する。レイヤ2送信処理部6ではパケットメモリ2に格納されたヘッダ部とユーザ情報部

とのうち必要があればヘッダ部を削除し、更新されるヘッダ部とを組み合わせ、送信し、レイヤ 1 処理部 10 を経て伝送路 B 13 に送出される。以上の概略的構成及び動作によって、本実施形態について、以下詳細に説明する。

【0027】

図 2 に本実施形態のパケット交換機におけるパケット処理装置のブロック構成図を示す。図において、1 は下位レイヤから伝送されてきたデータパケットを処理するためのメモリのうちのレイヤ 2 処理制御用メモリ領域であり、2 はパケットデータ自体を格納するためのパケットメモリ領域である。また、3 はレイヤ 2 とレイヤ 3 との共用メモリであり、4 は下位レイヤであるレイヤ 1 からのデータの受信処理を行うレイヤ 2 の受信処理部、5 はヘッダ部からルーティング処理等を行うレイヤ 3 処理部であり、6 は下位レイヤのレイヤ 1 へのデータの送信処理を行うレイヤ 2 の送信処理部であり、7 はレイヤ 2 ～レイヤ 3 処理部の制御処理を行い、また、レイヤ 3 以上の上位レイヤによるプロトコル処理を実行可能な所定のプログラムに従って処理するプロセッサである。

【0028】

図 2 に示すように、本パケット処理装置について、更に具体的に説明すれば、送受信パケットのレイヤ 2 処理情報等を管理・格納するレイヤ 2 処理用メモリ 1 と、送受信パケットを格納する大容量パケットメモリ 2 と、レイヤ 2 処理部とレイヤ 3 処理部が独立にアクセスが可能な高速・小容量なデュアルポートの共用メモリ 3 と、受信パケットに対しパケットヘッダや受信コネクション等レイヤ 3 処理部に必要十分な情報のみを共用メモリに複写する機能をもつレイヤ 2 受信処理部 4 と、レイヤ 3 以上の処理が可能でパケット転送の際は受信パケットとの差分情報をレイヤ 2 処理部に通知し、送信処理を指示・起動できるレイヤ 3 処理部 5 と、パケット転送処理において共用メモリ上のデータ（新パケットヘッダ）とパケットメモリにストアした受信パケットデータを組み合わせて送信パケットを編集・構成可能なレイヤ 2 送信処理部 6 と、レイヤ 3 処理部よりも複雑な処理、より上位の処理が可能なプロセッサ 7 とにより構成される。

【0029】

なお、伝送されてきたパケットデータを上記パケットメモリと共用メモリへ格

納する場合の振り分けを図3のATM (Asynchronous Transfer Mode : 非同期転送モード) を参考として説明する。図3において、ATMレイヤでは物理レイヤ処理を介してヘッダ部aの5バイトと、データ部dの48バイトの計53バイトを1セルとするATMセル $a_1 + d_1$, $a_1 + d_2$, ... が連続して伝送されてくる。

【0030】

次に、ユーザ情報をATMセルに分解したり、セルから元のユーザ情報に組み立てる役目を行うAAL (ATM Adaptation Layer) 5では、OSI参照モデルではレイヤ2に相当する役目を有し、SAR (Segmentation and Reassembly) サブレイヤと、CPCS (Common Part Convergence Sublayer) と、SSCS (Service Specific Convergence Sublayer) とから構成され、CPCS-PDU (Protocol Data Unit) では図3 (b) に示すように、エラー検出用等の最後尾のトレーラ等とから構成され、次に、図3 (c) に示すように、レイヤ3ではパケットヘッダ部3とパケットデータとからなるデータ構造に変換され、本実施形態では、このレイヤ3に示すデータ構造が図2に示すパケットメモリ2に格納される。次に、レイヤ4ではパケットデータ内のヘッダ部4とユーザ情報とからなるデータに対して処理され、上位階層では更に、ユーザ情報内のヘッダ部と残りのユーザ情報とから構成されるデータ構造で順次処理されて行く。本実施形態では、レイヤ3のヘッダ部3とユーザ情報とがパケットメモリ2に格納され、レイヤ3のヘッダ部3と必要であればレイヤ4のヘッダ4が共用メモリ3に格納される。

【0031】

次に、イーサネットプロトコルによるデータ構造について説明する。図4において、イーサネット (Ethernet) フレームとして、ヘッダ部2は、同期を取るためのプリアンプル部p 8バイトと、宛先アドレス部r 6バイトと、送信元アドレス部s 6バイトと、フレームタイプ部t 2バイトの計22バイトからなり、更に、可変長のデータ部と、フレームチェック系列 (FCS : Frame Check Sequence) の4バイトとから構成される。図4 (b) に示すように、レイヤ3のIPパケットでは、IPヘッダとユーザ情報のデータ構造を有し、上位階層では、ヘッダ

部4とユーザ情報のデータ構造でレイヤ処理される。また、図4(b)に示すように、図2の packets 2 には IP ヘッダ部のヘッダ部3とユーザ情報とが格納され、共用メモリ3へはヘッダ部2とヘッダ部3とが格納される。

【0032】

本実施形態では、データ構造に関し、ATMネットワーク、イーサネットネットワーク、その他データ系ネットワークにも適用できるもので、また他のネットワークとの混合の場合にも適用できる。

【0033】

(本実施形態の動作)

図2によれば、レイヤ2受信処理部4は、レイヤ1からパケット受信時、動作開始として、レイヤ2処理用メモリ1の空パケットバッファ管理フィールドから、空のパケットバッファの先頭アドレスを確保する。確保した先頭アドレスで示されるパケットバッファに受信したパケットデータをライトしながら、レイヤ3プロトコル処理に必要なフィールド(パケットヘッダ)のみを、共用メモリ3に複写する。

【0034】

レイヤ2受信処理部4で処理が終了すると、レイヤ3処理部5では、レイヤ2受信処理部4から通知された共用メモリ3のアドレスに基づいて、レイヤ3の処理を実行し、例えば共用メモリ3から読み出したヘッダ部3から予め通知されている通信網の内容を検索して最適なルーティング処理を行い、宛先の相手システムと結ぶコネクションを提供し、ヘッダ部の更新を提供する。また、上位階層での処理が必要な場合は、ユーザ情報を上位階層に転送する。上位階層の処理が終了すれば、レイヤ3に処理移行され、先のユーザ情報に必要なヘッダ部を変更して、レイヤ2に転送される。

【0035】

例えば、TCP/IP (Transmission Control Protocol/Internet protocol) によれば、ネットワーク層のレイヤ3の機能としてデータグラム方式のIPプロトコルにより、トランスポート層のレイヤ4の機能をコネクション型のTCPプロトコルによる双方向通信を保証する。なお、LAN (Local Area Network)

では、TCP/IPの下位レイヤとしてイーサネットやFDDI（100Mビット/sのリング型LAN）等が利用される。

【0036】

本実施形態では、レイヤ2処理部8とレイヤ3処理部5の間でメモリバスアクセス競合を無くすため、共用メモリ3はデュアルポートメモリとする。

【0037】

ここで、デュアルポートメモリは、互いに独立な第1のポートのデータバスとアドレスバスと、第2のポートのデータバスとアドレスバスと、アドレスバスによりメモリセルとデータバスとの接続を制御する制御回路から構成される。本実施形態では、同一アドレスを同時にアクセスすることがなく、実質的に競合することがないので、パイプラインの動作をしても、競合を回避するアービタ回路は不要となる。

【0038】

図5は、一連のパケット転送処理の概略を示すものである。図5によれば、レイヤ2受信処理部4は、受信パケット長 s 、パケットヘッダ長 t の受信パケットを受信し、パケットメモリ2にそっくりその受信パケットを格納するとともに受信パケットヘッダを共用メモリ3へ複写する。

【0039】

次に、レイヤ3処理部5は、共用メモリ3に複写された受信パケットヘッダに基づいてレイヤ3のプロトコル処理を実行したのち、長さ u の新たなパケットヘッダに共用メモリ3の内容を更新する。次に、レイヤ2送信処理部6は、共用メモリ3上のレイヤ3処理部5によって更新された長さ u の送信パケットヘッダとパケットメモリ2に格納された受信パケットヘッダを除く、長さ $s-t$ のパケットデータを組み合わせてレイヤ1に転送する。この際、受信パケットのサイズ s に対して、送信パケットはサイズ $s-t+u$ として転送される。なお、前期 t 、 u は場合によっては0という値もとれる。

【0040】

共用メモリ3とパケットメモリ2のメモリ空間の処理パケット毎の分割方法について説明する。共用メモリ3とパケットメモリ2のメモリ空間は、図6のよう

な相関性をもたせ、処理するパケットを格納するバッファの先頭アドレスから同パケット処理用の共用メモリ 3 上の空間（もしくはその逆）は容易に連想されるものとし、処理の効率化をはかる。

【0041】

図 6 は、パケットメモリ 2 の $1/m$ の容量の共用メモリ 3 を使用した場合のメモリ空間の分割例を示したものである。図 6 では、1 個のパケットの処理に必要なメモリ空間はパケットメモリ上の空間（パケットバッファ）の n バイトに対して、共用メモリ上の空間は n/m バイトであり、パケットバッファ # N の先頭アドレス Nn を $1/m$ したものが、共用メモリ 3 で使用する空間の先頭アドレス Nn/m となる。また、共用メモリ 3 中、各先頭アドレスから 1 バイトをパケットの送受信に必要な情報を記述するフィールド（以下、ディスクリプタ）として設けると、パケットヘッダを格納する共用メモリ 3 上の先頭アドレスは $Nn/m + 1$ である。こうして、バッファメモリ 2 と共用メモリ 3 との相関関係が容易に割り出せ、活用できる。

【0042】

また更に、上述した本実施形態の動作を詳述する。レイヤ 2 受信処理部 4 は、新たなパケットを受信すると、レイヤ 2 処理用メモリ 1 に構成された空パケットバッファ管理フィールドから読み出した先頭アドレス Nn で示されるパケットメモリ 2 上の空間にそっくりそのパケットデータを格納する。また、受信パケットのパケットメモリ 2 への格納を実行しながら、パケットヘッダ部等などのレイヤ 3 処理に必要な受信パケットデータの一部を、 $Nn/m + 1$ を先頭アドレスとする共用メモリ 3 上の空間に複写する。パケットの受信処理が完了すると、 Nn/m を先頭アドレスとする共用メモリ 3 上の大きさ 1 のディスクリプタフィールドに受信パケット長 s などのレイヤ 2 の受信処理で得た情報をライトした後、アドレス情報（ Nn/m ）をレイヤ 3 処理部 5 へ通知し、該当パケットの処理をレイヤ 3 処理部 5 へ委ねる。アドレス情報を通知後は、次の新たなパケットの受信処理を開始する。

【0043】

また、レイヤ 3 処理部 5 は、レイヤ 2 受信処理部 4 から通知されたアドレス N

n/m を元に、共用メモリ3に対してリードアクセスを行い、各種レイヤ3処理、例えばパケットヘッダの正常性チェック、ルーティングテーブル検索やネットワークアドレス変換等、を行った結果、該当パケットを転送すると判断した場合、必要に応じてレイヤ2受信処理部4が共用メモリ3へ複写したパケットヘッダを送信するパケットヘッダに新たに書き換え、レイヤ2受信処理部4がパケットメモリ2にストアした受信パケットとの差分情報、例えば受信パケットから削除するヘッダ長： t 、追加する新パケットヘッダ長： u 等、や転送先の物理ポート、論理チャネル等をディスクリプタフィールドに記述し、共用メモリ3のアドレス Nn/m をレイヤ2送信処理部6に通知し、該当パケットの処理をレイヤ2送信処理部6に委ねる。その後、新たなアドレス情報を入手して、次の新たなパケットのレイヤ3処理を開始する。

【0044】

また、レイヤ2送信処理部6はレイヤ3処理部5から通知された共用メモリ3のアドレス Nn/m をもとに、ディスクリプタフィールドを読み出し、ディスクリプタフィールドに記述された受信パケットとの差分情報をもとに、共用メモリ3上の新パケットヘッダとパケットメモリ2上の受信パケットデータを組み合わせて、送信パケットを構成して、指定の物理ポート、論理チャネル向けに送信する。

【0045】

このとき、共用メモリ3から読み出すパケットヘッダの先頭アドレスは $Nn/m + 1$ 、長さは u 、パケットメモリ2から読み出すパケットデータの先頭アドレスは $Nn+t$ 、長さは $s - t$ となり、送信フレーム長は $s - t + u$ となる。

【0046】

レイヤ2送信処理部6は、パケットの送信が完了すると、フリーとなったパケットメモリ2の空間、共用メモリ3の空間を別のパケット処理に再使用できるように、パケットメモリ2上でフリーとなったパケットバッファの先頭アドレス(Nn)をレイヤ2処理用メモリ1の空パケットバッファ管理フィールドにライトする。レイヤ2処理用メモリ1の空パケットバッファ管理フィールドにアドレスをライト後は、新たなアドレス情報を入手して、次の新たなパケットの送信処理を

開始する。

【0047】

以上が一連の転送処理の流れであるが、レイヤ3処理結果において転送と判断せず、自装置宛てパケットと判断したり、より複雑な処理が必要であると判断した場合、アドレスNn/mをレイヤ2送信処理部2ではなく、プロセッサ7に通知し、プロセッサ7に該当するパケット処理を委ねることも可能である。このとき、プロセッサ7はすべてのレイヤ処理部、全てのメモリ空間にアクセス可能であり、受信ディスクリプタを読み、接続されているデータバス及びアドレスバスを介して、パケット全体をパケットメモリ2から読み出し、処理、終端することも可能である。

【0048】

また、プロセッサ7は自らパケットメモリ2に送信パケットを書き、送信ディスクリプタを設定し、レイヤ3処理部5を迂回してパケットの送信処理を起動することもできるものとする。

【0049】

また、IPアドレスに関し、IPv4（バージョン4）では32ビット固定長の特定アドレス・フォーマットを使用しており、近年ドメイン名の割当を多くする目的で、128ビットのネットワークアドレスをサポートするIPv6（バージョン6）へ移行している。このような状態で、IPv4のパケットデータを受けてIPv6のパケットデータに変換する場合、レイヤ2受信処理部4は、パケットメモリ2にパケットデータを格納し、IPv4のヘッダ部を共用メモリ3に転送する。レイヤ3処理部5は、IPv4のヘッダ部を受領して解析し、IPv6のヘッダ部を作成する。レイヤ2送信処理部6は、レイヤ3処理部5から処理終了の通知を受け、受領した共用メモリ3のIPv6のヘッダ部とパケットメモリ2の対応するパケットデータとを組み合わせ、レイヤ1に送出する。また、上記のIPv4からIPv6へのデータフォーマット変換（ヘッダ部変換）ばかりでなく、IPv6からIPv4へのヘッダ部変換も可能であり、IPv6からIPv6へ、IPv4からIPv4へのヘッダ部変換も上記実施形態と同様に可能である。

【0050】

また、上記実施形態によるパケット交換機において、IPv4パケットのIPv6のトンネリング機能について説明する。レイヤ2受信処理部4は受信したIPv4のパケットデータをパケットメモリ2に格納すると共に、そのIPv4のヘッダ部を共用メモリ3に転送して格納する。そのレイヤ2受信処理部4の処理終了の通知を受けたレイヤ3処理部5はIPプロトコルに従って、IPv4のヘッダ部にIPv6のヘッダ部を作成して追加し、共用メモリ3に上書きして置き換える。なお、IPプロトコルで上位階層の処理が必要な場合は、レイヤ4以上の処理を例えばプロセッサ7が処理して、その結果をレイヤ3処理部5に折り返す。レイヤ3処理部5は処理終了をレイヤ2送信処理部6に通知する。レイヤ2送信処理部6は、共用メモリ3に格納された処理終了されたアドレスからIPv4のヘッダ部にIPv6のヘッダ部を追加したヘッダ部情報を読み出し、該当するパケットデータと組み合わせて、レイヤ1の物理層に送出する。

【0051】

このトンネリング機能については、他の方法として、レイヤ2受信処理部4が受信したIPv4のパケットデータをパケットメモリ2に格納すると共に、そのIPv4のヘッダ部を共用メモリ3に転送して格納し、そのレイヤ2受信処理部4の処理終了の通知を受けたレイヤ3処理部5は、IPプロトコルに従って、IPv6のヘッダ部を作成し、共用メモリ3のIPv4のヘッダ部にIPv6のヘッダ部を追加する。なお、IPプロトコルで上位階層の処理が必要な場合は、レイヤ4以上の処理を例えばプロセッサ7が処理して、その結果をレイヤ3処理部5に折り返す。レイヤ3処理部5は処理終了をレイヤ2送信処理部6に通知する。レイヤ2送信処理部6は、共用メモリ3に格納された処理終了されたアドレスからIPv4のヘッダ部とIPv6のヘッダ部をヘッダ部として読み出し、該当するパケットデータと組み合わせて、レイヤ1の物理層に送出する。

【0052】

または、レイヤ2受信処理部4がIPv4のヘッダ部を共用メモリ3に格納し、そのレイヤ2受信処理部4の処理終了の通知を受けたレイヤ3処理部5は、IPプロトコルに従って、共用メモリ3のIPv4のヘッダ部を削除するとともに

、IPv6のヘッダ部を作成し、共用メモリ3にIPv6のヘッダ部を書き込み格納する。次に、レイヤ3処理部5は処理終了をレイヤ2送信処理部6に通知する。レイヤ2送信処理部6は、共用メモリ3に格納されたアドレスからIPv6のヘッダ部を読み出し、該当するIPv4のヘッダ部を有するパケットデータと組み合わせて、レイヤ1の物理層に送出する。

【0053】

この結果、レイヤ2送信処理部6は、レイヤ3処理部5が更新した共用メモリ3上のデータと、レイヤ2受信処理部4がパケットメモリ2にストアしたパケットデータを組み合わせて送信する。こうして、IPv4パケットはIPv6の交換機を飛び越えてIPv4の機能を有する交換機に伝送される。

【0054】

この場合、レイヤ3をIP（インターネットプロトコル）とした場合、IPv4パケットのIPv6のトンネリング（IPv4パケットへのIPv6ヘッダの追加や削除）することができる。また、IPv6パケットのIPv4のトンネリング（IPv6パケットへのIPv4ヘッダの追加や削除）も可能であるし、IPv4パケットのIPv4のトンネリング（IPv4パケットへのIPv4ヘッダの追加や削除）も処理することができる。

【0055】

[第2の実施形態]

本発明による第2の実施形態として、本パケット処理装置の構成は、図2に示すものと同一として説明する。ここで、レイヤ2受信処理部4が共用メモリ3に複写するデータは、レイヤ2受信処理部4で上位プロトコル種別を判断してフィールド抽出を行う方法と、パケットの先頭から固定長としてレイヤ2受信処理部4が全く上位プロトコル種別を意識しない方法の2つの方法がある。

【0056】

図7に本実施形態によるパイプライン動作の説明図を示す。受信パケットAの処理の内、Xをレイヤ2受信処理部4の動作を、Yをレイヤ3処理部5の動作を、Zをレイヤ2送信処理部6の動作を、時系列的に示している。次に、パケットBの処理及びパケットCの処理を行う。この際、パケットAの処理中レイヤ2送

信処理部 6 の動作 Z のとき、パケット B の処理中レイヤ 3 処理部 5 の動作 Y を実行しており、パケット C の処理中レイヤ 2 受信処理部の動作 X を実行している。このとき、パケット A の動作 Z とパケット B の動作 Y とパケット C の動作 X は同時に実行しているが、処理方式上、それぞれの処理に使用しているパケットメモリ 2、および共用メモリ 3 の空間は異なるため、アクセスするメモリ空間の競合はない。また、レイヤ 2 処理部とレイヤ 3 処理部は物理的に異なるメモリバスによって共用メモリ 3 に接続しているため、パケット A の処理 Z / パケット B の処理 Y とパケット C の処理 X との間では特に調停を行わなくともメモリバス上での競合はなく、独立に処理の実行が可能である。

【0057】

また、図 7 において、パケット A 処理の実行中、動作 X から動作 Y に移行するとき (a) や、動作 Y から動作 Z に移行するとき (a) に、タイミング合わせのために四角斜線部のバッファ 14 を用いてもよい。このバッファ 14 は他のパケット処理の次のステップに移行するとき (b), (c) においても同様である。このバッファにより、更に他処理との競合を削減できる。

【0058】

なお、現実には、パケット毎に、若しくは処理種別による処理時間は異なることから、それぞれの処理ブロックで持ち回り、それぞれのブロックでのパケット処理のトリガとなるアドレス情報を、パケット A 処理に示す斜線部においてバッファリング（キューイング）を行って、それぞれの処理ブロック間での速度整合を行ってもよい。また、それぞれの処理ブロック内においても同様のパイプライン動作、速度整合を行ってもよい。

【0059】

なお、上記実施形態では、共用メモリ 3 にデュアルポートメモリを用いる例を示したが、プロセッサ 7 をも含めてパイプライン動作を可能とする、デュアルポート以外の 3 ポートや 8 ポート等のマルチポートメモリを用いてもよい。

【0060】

また、レイヤ 3 処理部 5 は、上述した TCP / IP プロトコルにおいて、レイヤ 3 のパケットヘッダ部以外に、例えば TCP (Transmission Control Protocol)

1) 等のレイヤ4のヘッダ部を処理する場合もある。

【0061】

上述した一連の各レイヤの処理の中で持ち回るアドレス情報は、パケットメモリ2上のパケットバッファの先頭アドレスをもとにしたものではなく、例えばディスクリプタアドレス等の他の情報でもよい。

【0062】

また、種別の異なるメモリ空間に相関性をもたせる方法は、例えばテーブル検索など、乗算以外の方法でもよい。

【0063】

また、転送の際のATM転送とTCP/IP等のパケットフォーマット変換は、パケット毎にレイヤ3処理部5が、受信パケットとの差分情報を指定する方法以外に、受信・送信パケットのフォーマット変換方法が固定的に決まっている場合、固定的に差分情報を設定し、パケット毎に差分情報をレイヤ3処理部が設定する処理を省く方法をとることも可能である。

【0064】

【発明の効果】

本発明によれば、レイヤ2受信処理部、レイヤ3処理部、レイヤ2送信処理部、プロセッサ間で、直接やりとりされるデータを複数のメモリ空間を表す単一のアドレス情報のみとしたため、冗長なデータのメモリ間転送等がなくなり、処理の高速化、省メモリ化がはかれる。

【0065】

また、レイヤ2受信処理部、レイヤ3処理部、レイヤ2送信処理部、プロセッサ部は、それぞれ次の処理ブロックへのアドレスの通知が完了すると、新たなパケットの処理を開始できる。また、直接やり取りする情報量がアドレス情報のみと少量のため、処理ブロック間におけるバッファリングによる速度整合も容易となり、円滑なパイプライン処理が実現できる。

【0066】

また、レイヤ2処理部とレイヤ3処理部で共用メモリを経由して、間接的にやりとりする情報もパケットヘッダ等の必要十分な情報のみであるため、共用メモ

りは小容量でよい。

【0067】

また、共用メモリをデュアルポートメモリとし、また、やり取りするアドレス情報をもとにレイヤ2処理部とレイヤ3処理部は、共有メモリへアクセスするため、特別な調停回路なしに、レイヤ2とレイヤ3処理間のメモリバス競合・同一アドレスフィールドへのアクセスの競合はなくなる。互いの処理が干渉することなく動作できるため処理速度が向上する。

【0068】

また、レイヤ2送信処理部はレイヤ3がリリースした共用メモリ上のデータとレイヤ2受信処理部がストアしたパケットメモリ上の受信データを様々な形式で組み合わせて送信することが可能であるため、パケット転送しながらの様々なパケットフォーマット変換や上位プロトコル変換が可能である。

【図面の簡単な説明】

【図1】

本発明による実施形態のパケット交換機の構成ブロック図である。

【図2】

本発明による実施形態のパケット処理装置の構成ブロック図である。

【図3】

本発明による実施形態に用いるデータ構造の例図である。

【図4】

本発明による実施形態に用いるデータ構造の例図である。

【図5】

本発明による実施形態のパケット処理装置の動作説明図である。

【図6】

本発明による実施形態のパケット処理装置のメモリの関係図である。

【図7】

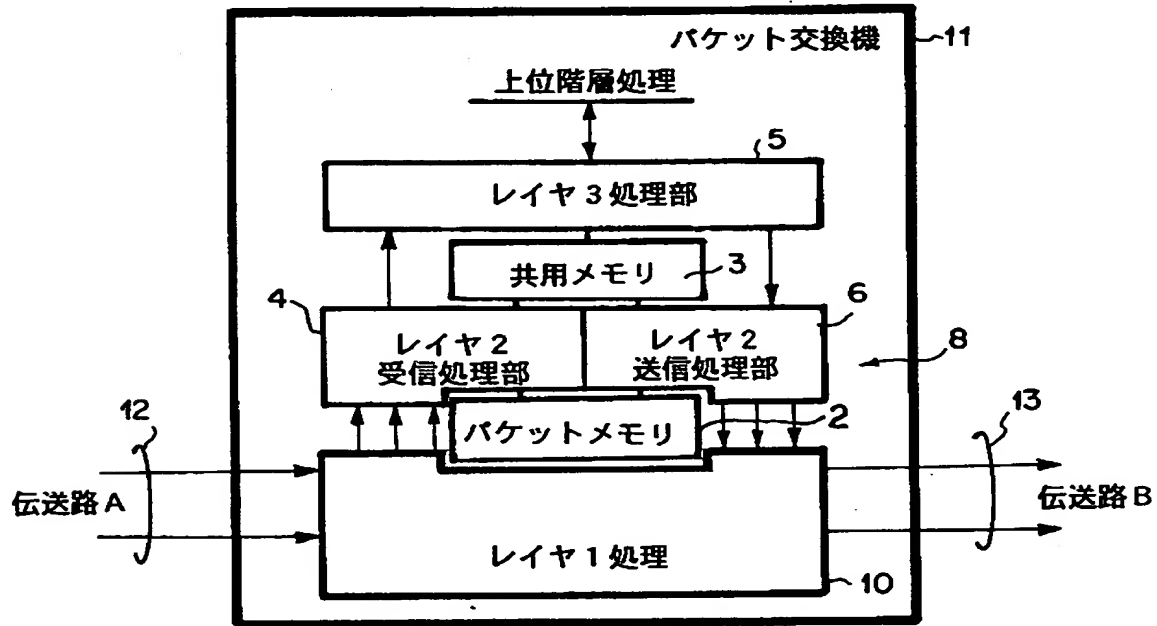
本発明による実施形態のパケット処理装置のパイプライン動作を説明する説明図である。

【符号の説明】

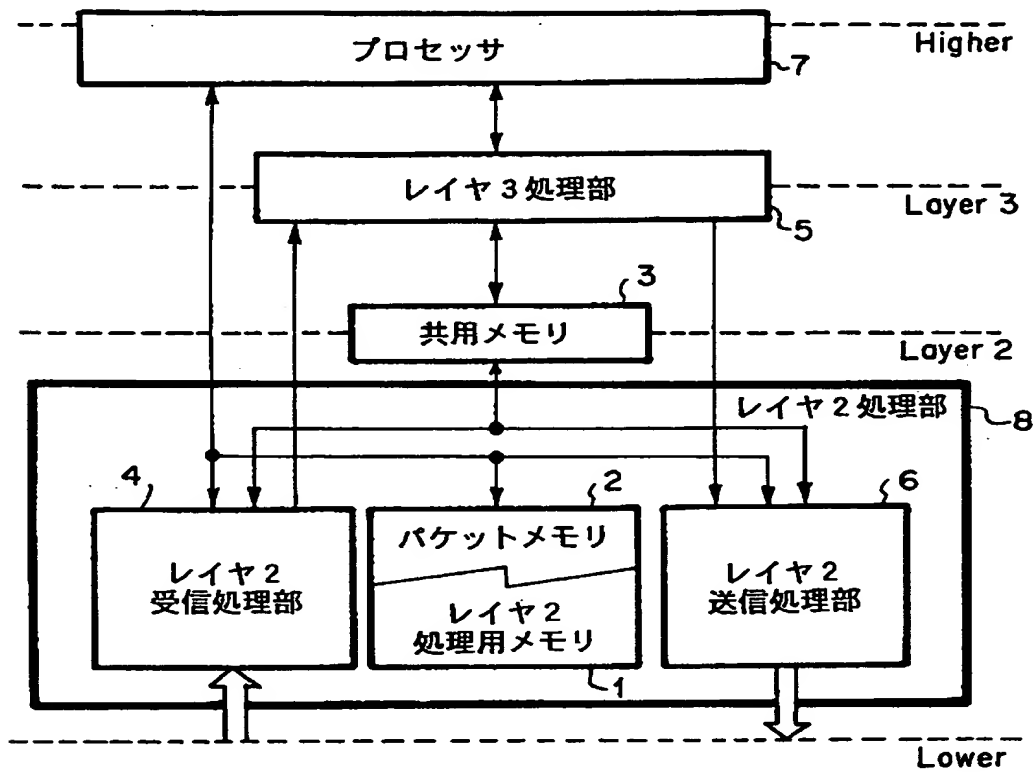
- 1 レイヤ2処理用メモリ
- 2 パケットメモリ
- 3 共用メモリ
- 4 レイヤ2受信処理部
- 5 レイヤ3処理部
- 6 レイヤ2送信処理部
- 7 プロセッサ
- 8 レイヤ2処理部
- 10 レイヤ1処理部
- 11 パケット交換機
- 12 伝送路A
- 13 伝送路B

【書類名】 図面

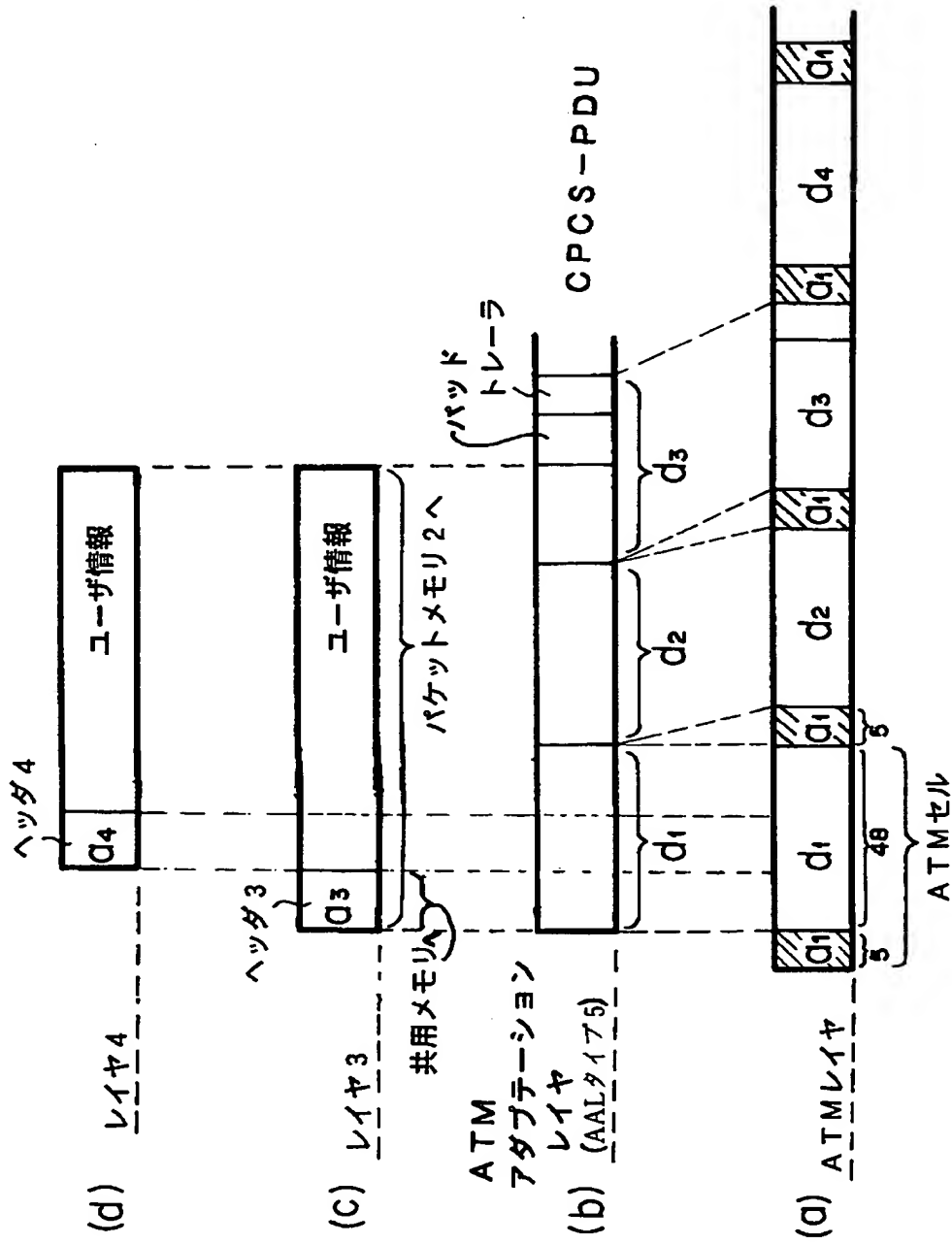
【図1】



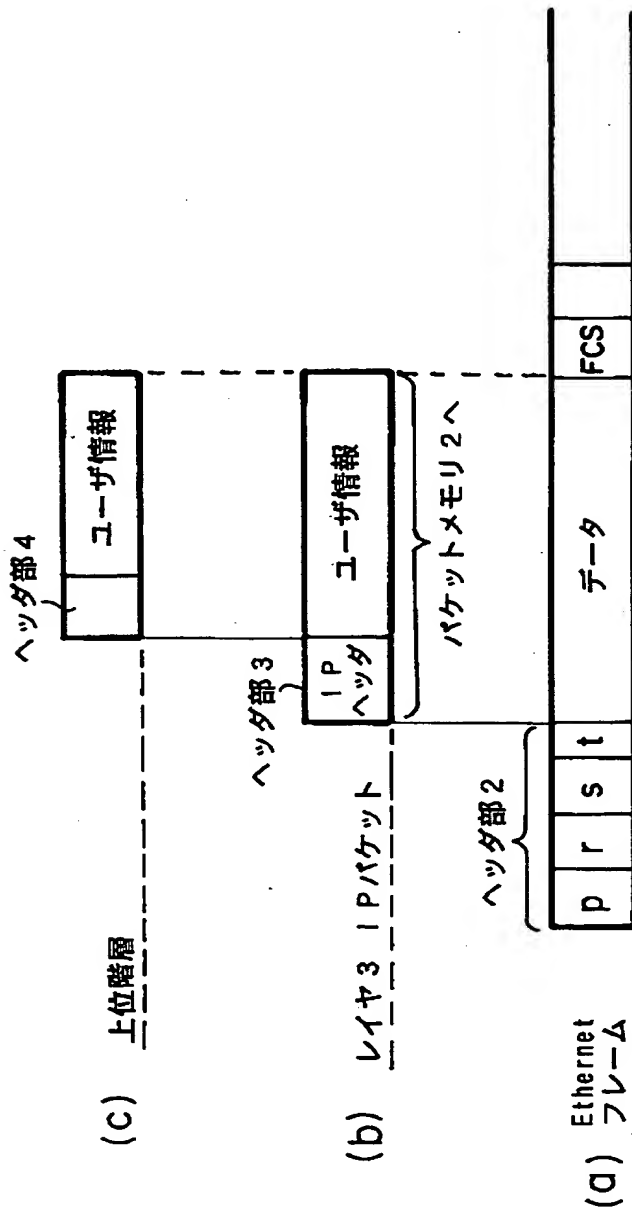
【図 2】



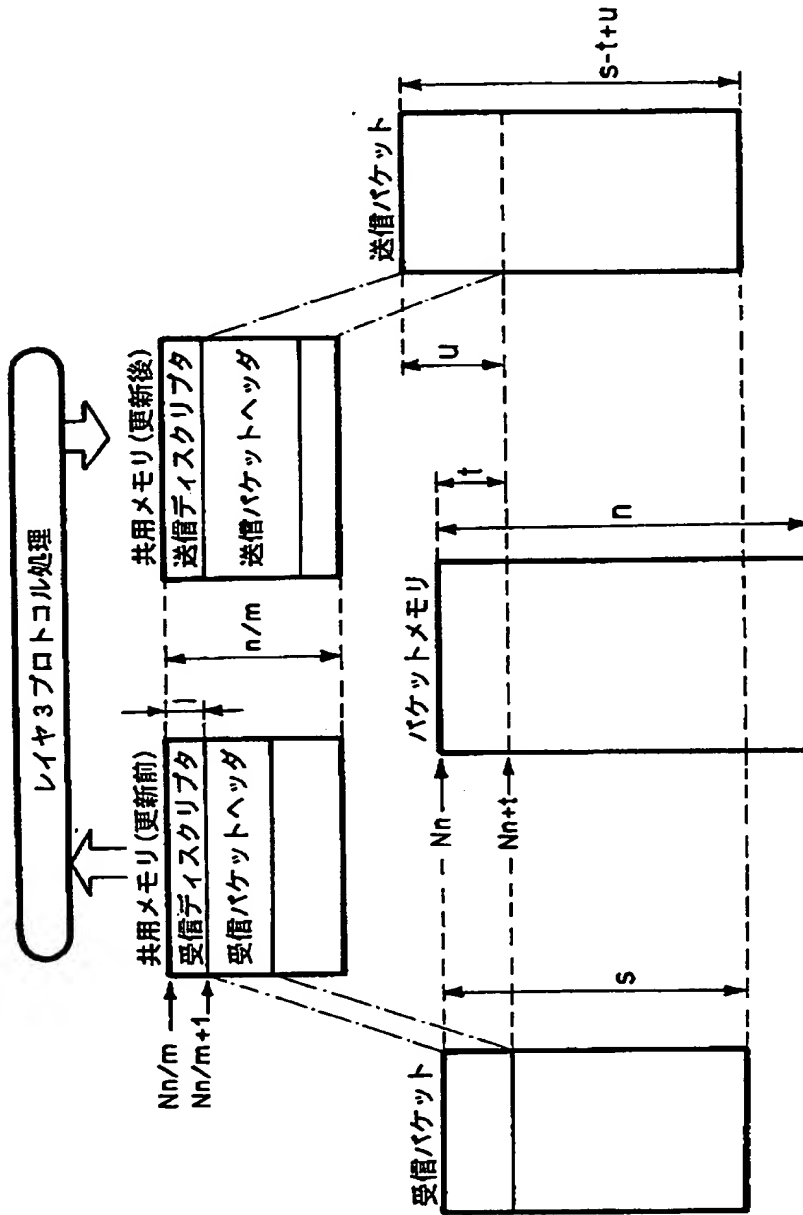
【図3】



【図 4】

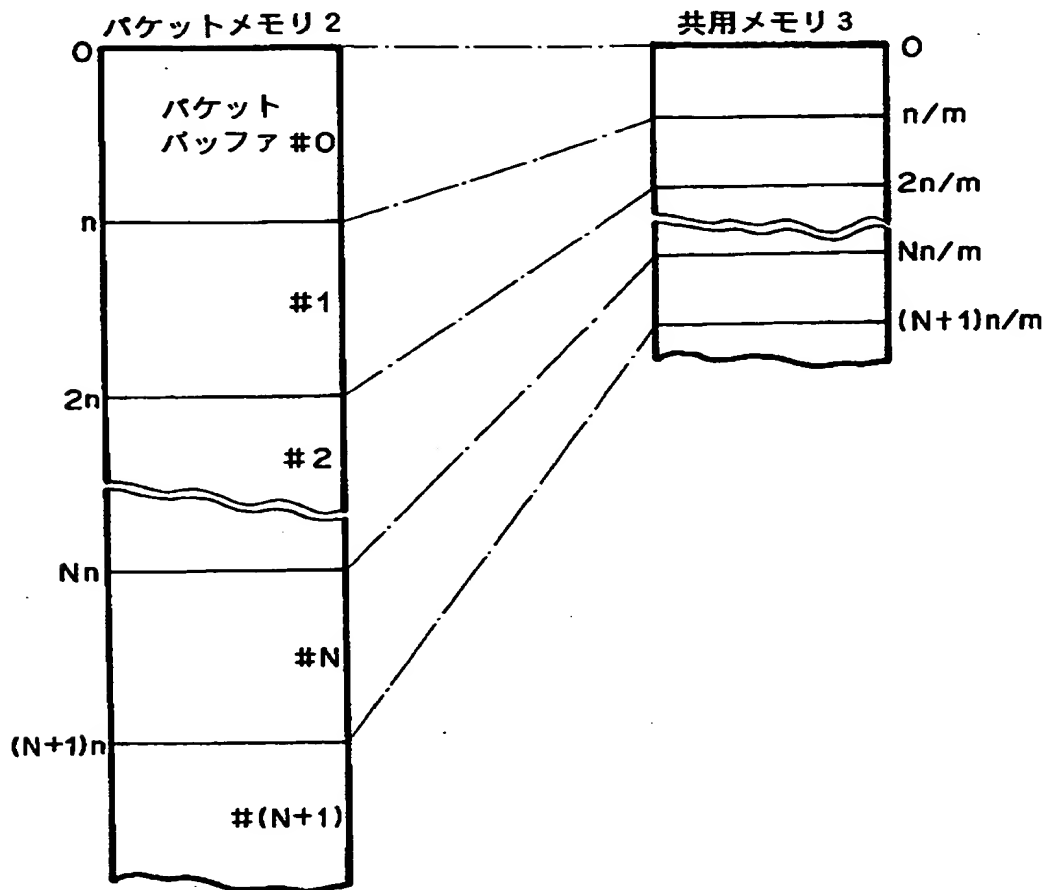


【図5】

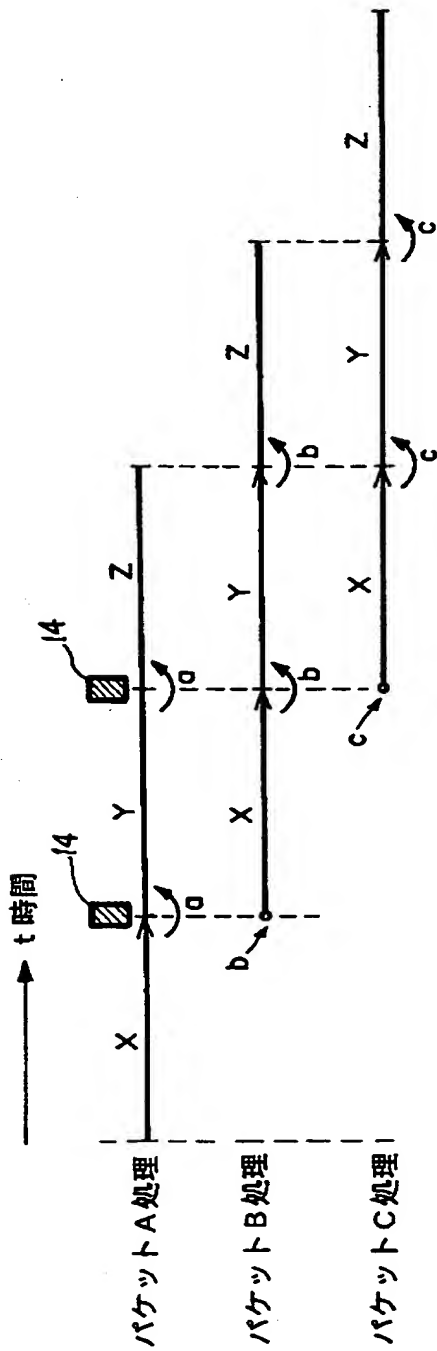


- s : 受信パケット長(受信ディスタクリプタにレイヤ2処理部が記述する)
- t : 転送の際、受信パケットから削除するヘッダ長(送信ディスタクリプタにレイヤ3処理部が記述する)
- u : 転送の際、新たに追加するヘッダ長(送信ディスタクリプタにレイヤ3処理部が記述する)
- l : ディスタクリプタのサイズ
- N : ディスタクリプタと共用メモリのサイズ
- n : パケットメモリサイズと共用メモリのサイズ
- n : 1つのパケット処理に使用するパケットメモリ空間のサイズ
- Nn : 1つのパケット処理に使用するパケットメモリ空間の先頭アドレス

【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 パケット処理装置において、省メモリ化を行うと同時に、異レイヤ処理間で共用メモリへのアクセスの競合のない円滑なパイプライン処理を実現することを課題とする。

【解決手段】 複数のレイヤを構成してパケットデータを交換するパケット処理方法において、前記パケット全体をパケットメモリに格納し、データリンク層のレイヤ2処理部とネットワーク層のレイヤ3処理部の双方が共用する共用メモリを用いて同一メモリ空間にアクセス可能で、前記双方の処理に必要な十分な送受信パケットの一部を格納し、前記共用メモリにマルチポートでアクセス可能とすることを特徴とする。また、前記共用メモリにアクセスする際に、前記レイヤ2処理部と前記レイヤ3処理部が干渉しないパイプライン処理方式を採用することを特徴とする。

【選択図】 図2

【書類名】

職権訂正データ

【訂正書類】

特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】

000004237

【住所又は居所】

東京都港区芝五丁目7番1号

【氏名又は名称】

日本電気株式会社

【代理人】

申請人

【識別番号】

100065385

【住所又は居所】

東京都港区浜松町1丁目18番14号 SVAX浜
松町ビル

【氏名又は名称】

山下 穰平

出 願 人 履 歴 情 報

識別番号

[000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社